



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001077056 A**(43) Date of publication of application: **23.03.01**

(51) Int. Cl.

H01L 21/301(21) Application number: **11247607**(22) Date of filing: **01.09.99**(71) Applicant: **SEIKO EPSON CORP**(72) Inventor:
**YODA TAKESHI
KOEDA SHUJI
SATO HIDEKAZU****(54) PELLETIZING METHOD, MANUFACTURING
METHOD OF SEMICONDUCTOR DEVICE,
SEMICONDUCTOR DEVICE, SUBSTRATE FOR
MOUNTING AND ELECTRONIC EQUIPMENT**

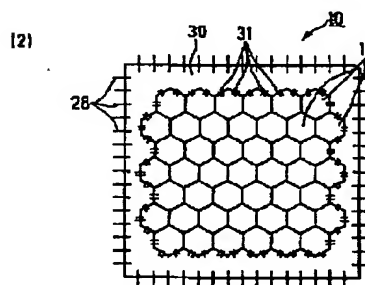
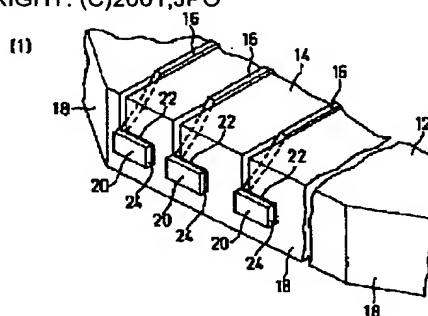
through the manufacturing method of a semiconductor device, the polygonal semiconductor chips 12 can be formed and a butt of a plurality of the chips 12 between the chips becomes possible.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of a structure, wherein the connection between semiconductor chips is made without using a wire-bonding and a miniaturization of the main body of the device and the generation of the defective connection of components and the like can be prevented, a pelletizing method, which provides a substrate for processing and an electronic component and also forms the external shapes of the semiconductor chips into an arbitrary form and can enable a butt of the chips between a plurality of the chips, and the manufacturing method of the device.

SOLUTION: Groove parts of slicing are formed in the boundary lines between a plurality of semiconductor chips 12 formed on a semiconductor wafer. With a sheet member pasted on the active surfaces of the chips 12, the wafer is shaved from the side of the rear of the wafer and after this shaving reaches the bottoms of the groove parts and the chips 12 are formed into individual pieces, the chips 12 are taken out from the sheet member. If such a manufacturing process passes

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77056
(P2001-77056A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl.⁷

H 0 1 L 21/301

識別記号

F I

H 0 1 L 21/78

テーマコード(参考)

L
B

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平11-247607

(22) 出願日 平成11年9月1日 (1999.9.1)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 依田 剛

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 小枝 周史

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 佐藤 英一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

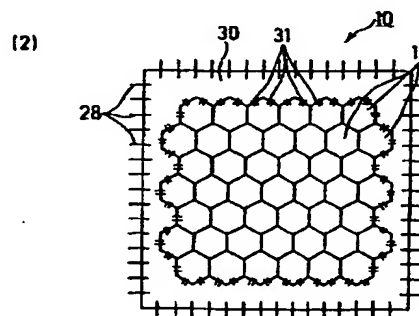
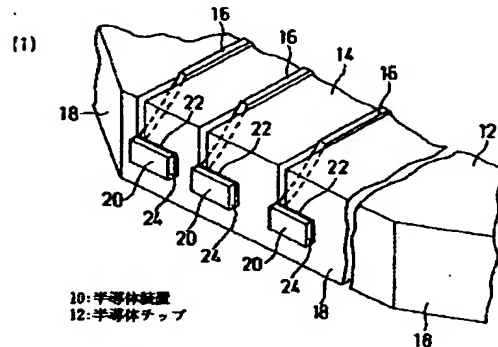
弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 ペレタイズ方法および半導体装置の製造方法ならびに半導体装置、実装用基板、電子機器

(57) 【要約】

【課題】 ワイヤボンディングを用いることなく、チップ間の接続を行い、装置本体の小型化や、接続不良を防止することのできる半導体装置、ならびに実装用基板、電子機器を提供するとともに、半導体チップの外形を任意の形にし複数のチップ間に突き合わせを可能にするこことのできるペレタイズ方法および半導体装置の製造方法を提供する。

【解決手段】 半導体ウェハに形成された複数の半導体チップ12の境界線に切断用溝部を形成する。そして半導体チップ12の能動面にシート部材を貼り付けるとともに、半導体ウェハ12の裏面側より当該半導体ウェハ12を削り、この削りが溝部の底面に達し半導体チップ12を個片とした後に、シート部材から半導体チップ12を取り出す。このような製造工程を経れば、多角形の半導体チップ12が形成でき、複数の半導体チップ12の突き合わせが可能になる。



【特許請求の範囲】

【請求項 1】 半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、前記シート部材から前記半導体チップを取り出すことを特徴とするベレタイズ方法。

【請求項 2】 前記境界線にて区切られる前記半導体チップの形状を、隙間無く敷き詰めが可能な多角形にしたことを特徴とする請求項 1 に記載のベレタイズ方法。

【請求項 3】 前記境界線にて区切られる前記半導体チップの形状は正六角形であることを特徴とする請求項 2 に記載のベレタイズ方法。

【請求項 4】 複数の半導体チップの境界線に形成される溝部は、レーザ光の照射により形成されることを特徴とする請求項 1 に記載のベレタイズ方法。

【請求項 5】 複数の半導体チップの境界線に形成される溝部は、エッチングにより形成されることを特徴とする請求項 1 に記載のベレタイズ方法。

【請求項 6】 半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、当該半導体チップの側面に接続用パッドを形成し、この接続用パッド同士を突き合わせるよう複数の前記半導体チップを基板上に搭載したことを特徴とする半導体装置の製造方法。

【請求項 7】 基板上に複数の半導体チップを搭載した半導体装置であって、多角形からなる前記半導体チップの側面に形成された接続用パッドを互いに突き合わせ、前記基板上にて前記半導体チップ同士を直に接続したことを特徴とする半導体装置。

【請求項 8】 前記半導体チップは、隙間無く敷き詰められる同一形状の多角形であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記半導体チップは、正六角形であることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記半導体チップの前記側面に前記接続用パッドを突出形成するとともに、前記半導体チップの表面から前記接続用パッドの裏面に達する傾斜面を形成し、この傾斜面に前記接続用パッドと導通する配線を設けたことを特徴とする請求項 7 に記載の半導体装置。

【請求項 11】 前記傾斜面に代えて前記半導体チップを貫通する貫通穴を用い、この貫通穴に前記配線を設けたことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 請求項 7 に記載の半導体装置を用いたことを特徴とする実装用基板。

【請求項 13】 請求項 12 に記載の実装用基板を用い

たことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベレタイズ方法および半導体装置の製造方法ならびに半導体装置、実装用基板、電子機器に係り、特に単一のパッケージ内に複数の半導体チップを組み込むようにしたMCP（マルチ・チップ・パッケージ）に好適なベレタイズ方法および半導体装置の製造方法ならびに半導体装置、実装用基板、電子機器に関する。

【0002】

【従来の技術】従来、単一のパッケージ内に複数の半導体チップを組み込み、一層の多機能化や高密度実装を達成するための半導体装置が知られており、一般的にはこれをMCPと称している。

【0003】図11は、従来の半導体装置（MCP）の構造を示す断面説明図である。同図に示すように従来の半導体装置1では、その表面に配線が形成された基板2の実装面3に複数の半導体チップ4A、4Bが搭載されている。そしてこれら半導体チップ4A、4Bでは、上面5に設けられた接続用パッド（図示せず）と、基板2の表面に形成されたランド（図示せず）との間をワイヤ6で接続するとともに、前記ワイヤ6を用いて隣り合う半導体チップ4A、4Bの接続用パッド間を接続するようにしている（ワイヤボンディングと呼ばれ、ワイヤ材質は金やアルミが主流）。

【0004】このように構成された半導体装置1では、隣り合う半導体チップ4A、4B間での信号の入出力を行うとともに、基板2に取り付けられた外部端子7を介して半導体装置1の外部との信号の入出力を行うようにしている。

【0005】

【発明が解決しようとする課題】しかし上述した半導体装置1では、下記に示すような問題点があった。

【0006】すなわち第1の問題点としては、隣り合う半導体チップ4A、4B間の接続は、ワイヤ6によって行われるため、チップ間距離（図中、t寸法参照）が有る程度必要となり、半導体装置1の小型化を阻害する要因となっていた。

【0007】そして第2の問題点としては、チップ間の接続がワイヤによって行われるので、当該ワイヤを用いることによる接続不良（短絡や断線）が発生するおそれがあった。

【0008】また上記問題点とは別に、MCPにおいてはより多くの半導体チップとの接続を行うことが要望されており、このため半導体チップの形状においても単なる四角形状だけでなく様々な形状が要求されていた。

【0009】本発明は、上記従来の問題点に着目し、ワイヤボンディングを用いることなく、チップ間の接続を行い、装置本体の小型化や、接続不良を防止することの

できる半導体装置、ならびに実装用基板、電子機器を提供するとともに、半導体チップの外形を任意の形状にし複数のチップ間に突き合わせを可能にすることで多機能化を図るようにしたベレタイズ方法および半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1に記載のベレタイズ方法は、半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、前記シート部材から前記半導体チップを取り出すことを特徴としている。請求項1に記載のベレタイズ方法によれば、半導体チップの外形を単なる四角形以外にも三角形や六角形といった多角形状や、曲線等を含んだ任意の形状にすることができる。このため端子電極を半導体チップの複数の縁辺に配置することができ、より多数の半導体チップとの接続を行うことができる。なお溝部の形成は、エッチング等の一般的な手段を用いるようにしてもよい。

【0011】請求項2に記載のベレタイズ方法は、前記境界線にて区切られる前記半導体チップの形状を、隙間無く敷き詰め可能な多角形にしたことを特徴としている。請求項2に記載のベレタイズ方法によれば、半導体チップの外観は正三角形または正方形または正六角形になる。半導体チップの形状をこのような形状にすれば、これら半導体チップを隙間無く敷き詰めることができ、隣接する半導体チップとの突き合わせ接続をなすことができる。このため所定の面積内でより多数の半導体チップを集積させることができる。

【0012】請求項3に記載のベレタイズ方法は、前記境界線にて区切られる前記半導体チップの形状は正六角形であることを特徴としている。請求項3に記載のベレタイズ方法によれば、半導体チップを隙間無く敷き詰めることができるとともに、同時に多数（6個）の半導体チップとの突き合わせを行うことができる。

【0013】請求項4に記載のベレタイズ方法は、複数の半導体チップの境界線に形成される溝部は、レーザ光の照射により形成されることを特徴としている。請求項4に記載のベレタイズ方法によれば、レーザ光を境界線に沿って走行させれば、当該レーザ光が照射された範囲だけが温度が上昇（伝熱せずに照射部分だけが温度上昇する）、その他の範囲では温度が変化しない。このため過度な温度差が生じ、この温度差によって境界線上に亀裂が生じ、これが溝部となる。すなわち半導体ウェハの表面においてレーザ光を半導体チップの外形に沿って走行させれば、このレーザ光の移動に亀裂が追従するので、溝部を容易に形成することができる。あるいは前記レーザ光の出力や発振波長およびビーム径などを

更することでレーザ光の性質を変更し、当該レーザ光の照射により半導体ウェハの表面を昇華させ、当該半導体ウェハの表面に溝部を形成するようにしてもよい。

【0014】請求項5に記載のベレタイズ方法は、複数の半導体チップの境界線に形成される溝部は、エッチングにより形成されることを特徴としている。請求項5に記載のベレタイズ工程によれば、レジストをマスクパターンとしてエッチングを行えば境界線（すなわち半導体チップの外形となる溝部）を任意に設定することができる。

【0015】請求項6に記載の半導体装置の製造方法は、半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、当該半導体チップの側面に接続用パッドを形成し、この接続用パッド同士を突き合わせるよう複数の前記半導体チップを基板上に搭載したことを特徴としている。請求項6に記載の半導体装置の製造方法によれば、半導体チップの外形を単なる四角形以外にも三角形や六角形といった多角形状や、曲線等を含んだ任意の形状にすることができる。このため端子電極を半導体チップの複数の縁辺に配置することができ、より多数の半導体チップとの接続を行うことができる。なお溝部の形成は、エッチング等の一般的な手段を用いるようにしてもよい。そして半導体チップに形成された接続用パッドを互いに突き合わせることで、導通を直に得ることができる。ここで接続用パッドの間にはワイヤ等が介在しないことから、半導体チップ間の距離を最短にすることが可能となり、半導体装置自体の小型化を達成することができる。またワイヤ等の不使用により、当該ワイヤ等を起因とする短絡、導通不良といった障害を取り除くことができ、半導体装置の信頼性向上を図ることができる。

【0016】ところで半導体装置に係る本発明は、半導体チップの接続用パッド同士を直に突き合わせるようにすれば、ワイヤボンディング等の接続作業を不要にすることができるという知見に基づいてなされたものである。

【0017】すなわち請求項7に記載の半導体装置は、基板上に複数の半導体チップを搭載した半導体装置であって、多角形からなる前記半導体チップの側面に形成された接続用パッドを互いに突き合わせ、前記基板上にて前記半導体チップ同士を直に接続したことを特徴としている。請求項7に記載の半導体装置によれば、他の複数の半導体チップとの突き合わせを行うことができ、多数接続による高機能化を達成させることができる。また半導体チップに形成された接続用パッドを互いに突き合わせることで、導通を直に得ることができる。ここで接続用パッドの間にはワイヤ等が介在しないことから、半導

体チップ間の距離を最短にすることが可能となり、半導体装置自体の小型化を達成することができる。またワイヤ等の不使用により、当該ワイヤ等を起因とする短絡、導通不良といった障害を取り除くことができ、半導体装置の信頼性向上を図ることができることはいうまでもない。

【0018】請求項8に記載の半導体装置は、前記半導体チップは、隙間無く敷き詰められる同一形状の多角形であることを特徴としている。請求項8に記載の半導体装置によれば、半導体チップの外観は正三角形または正方形または正六角形になる。半導体チップの形状をこのような形状にすれば、これら半導体チップを隙間無く敷き詰めることができ、隣接する半導体チップとの突き合わせ接続をなすことができる。このため所定の面積内により多数の半導体チップを集積させることができる。

【0019】請求項9に記載の半導体装置は、前記境界線にて区切られる前記半導体チップの形状は正六角形であることを特徴としている。請求項9に記載の半導体装置によれば、半導体チップを隙間無く敷き詰めることができるとともに、同時に多数（6個）の半導体チップとの突き合わせを行うことができる。また突き合わされる複数の半導体チップは、ハニカム構造となり温度衝撃等が半導体チップに加わってもその衝撃を受け止めることができる。

【0020】そして請求項10に記載の半導体装置は、前記半導体チップの前記側面に前記接続用パッドを突出形成するとともに、前記半導体チップの表面から前記接続用パッドの側面に達する傾斜面を形成し、この傾斜面に前記接続用パッドと導通する配線を設けたことを特徴としている。請求項10に記載の半導体装置によれば、半導体チップの表面に形成された配線は、その半導体チップの表面下に形成された抵抗、容量等といった素子に接続されており、これら素子への信号の入出力を可能にしている。そしてこのように素子に接続された配線の先端は、前記半導体チップの縁辺側に延長され、半導体チップの側面に突出形成された接続用パッドに接続されることとなるが、ここで配線は傾斜面を経由して前記接続用パッドの側面に達している。このように傾斜面を設ければ、配線をスパッタ等で形成する際、金属膜が十分な厚みをもって形成される（端部に傾斜面を形成しなければ、半導体チップの縁辺はエッジ状になり配線となる金属膜が薄くなることで導通の信頼性が低下する）。このため配線と接続用パッドとの導通を確実にすることができ、装置自体の信頼性を向上させることができる。なお傾斜面は、半導体チップの縁辺に一樣に形成したり、あるいは配線を引き回す範囲だけに形成する（いわゆる溝部を設ける）ようにしてもよい。

【0021】また請求項11に記載の半導体装置は、前記斜面に代えて前記半導体チップを貫通する貫通穴を用い、この貫通穴に前記配線を設けたことを特徴としてい

る。請求項11に記載の半導体装置によれば、前記貫通穴はレーザ光等によって形成することができる。このため結晶方位の影響を受けず任意の角度を有した貫通穴を空けることが可能となり、半導体チップの厚みや接続用パッドの位置関係を考慮して配線との導通を図ることができる。なお貫通穴の内部に形成される配線は、貫通穴を形成し、当該貫通穴の内壁に絶縁膜を形成したのち、当該貫通穴の内壁に金属膜を蒸着させるようにして形成すればよい。

10 【0022】ここで請求項12に記載の実装用基板は、請求項7に記載の半導体装置を用いたことを特徴としている。請求項12に記載の実装用基板によれば、請求項7に記載の半導体装置を用いることで、基板自体の小型化を達成することができる。

【0023】そして請求項13に記載の電子機器は、請求項12に記載の実装用基板を用いたことを特徴としている。請求項13に記載の電子機器によれば、実装面積の少ない半導体装置を用いた実装用基板が搭載されているので、機器自体の小型化を達成することができる。

20 【0024】

【発明の実施の形態】以下に本発明に係るベレタイズ方法および半導体装置の製造方法ならびに半導体装置、実装用基板、電子機器に好適な具体的実施の形態を図面を参照して詳細に説明する。

【0025】図1は、第1の実施の形態に係る半導体装置に用いられる半導体チップの構造を示す説明図である。同図（1）に示すように半導体装置10に搭載される半導体チップ12には、その表面下に抵抗や容量といった素子が形成されている。そしてこれら素子の上面および側面には絶縁膜14が形成されるとともに、当該絶縁膜14の表面には、図示しないコンタクトホールを介して前記素子と導通がなされた金属配線16が形成されている。

【0026】ところで正六角形からなる半導体チップ12の各側面18には、他の半導体チップ12との突き合わせ接続をなすための、接続用パッド20が形成されている。そして当該接続用パッド20は、スパッタ等によって形成された金属素地22と、当該金属素地22の表面に形成されるメッキ地24によって構成されている。また接続用パッド20の裏面側、すなわち金属素地22側には、傾斜部となる溝部26が形成されており、この溝部26における底面に金属配線16を延長形成させることで、当該金属配線16と接続用パッド20との接続を行うようにしている。

【0027】このように形成された正六角形状の半導体チップ12においては、同図（2）に示すように、接続用パッド20同士が対向させるよう多数の半導体チップ12が突き合わされており、半導体チップ12間の信号の入出力が行えるようになっている。なお本実施の形態では、半導体チップ12の外形を正六角形としたことに

より、突き合わされる半導体チップ 12 の接合部分に隙間が生じることがなく、さらに多辺（6 辺）を有していることからより多数の半導体チップ 12 との突き合わせを行うことができる。このため高実装密度と多機能化を図ることができ、半導体装置 10 自体の機能を向上させることができる。また本実施の形態においては、半導体チップ 12 の外形は正六角形であったが、半導体チップ 12 の外形を正三角形または正方形としても、隙間無く突き合わせることが可能になり、高密度実装が可能になる。さらに半導体チップ 12 の外形は、8 角形や 12 角形であってもよい。また外部端子 28 がその周縁に複数設けられた基板 30 と、これら半導体チップ 12 との接続は、従来通り金やアルミを材料とするワイヤ 31 にて行われる（ワイヤーボンディング）。

【0028】図 2 および図 3 は、第 1 の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図であり、図 4 は、同製作工程におけるペレタイズ工程を示す斜視図である。

【0029】図 2（1）に示すように、半導体ウェハ 35 から切り出し前の半導体チップ 12 の表面には絶縁膜 14 が形成されており、この絶縁膜 14 の下層には前述の通り MOS トランジスタや抵抗、容量といった素子が形成してある。そして図 4（1）に示すように複数の半導体チップ 12（破線部を参照）の間（すなわち境界線 33 A に沿って）をレーザ光 33 B を照射しながらレーザ照射器 33 C を走行させる。なお本実施の形態においては、YAG レーザ（波長 1064 ナノメートル）を用いるようにしたが、その他のレーザを用いるようにしてもよい。

【0030】前記レーザ照射器 33 C は、半導体ウェハ 35 の表面に沿って二次元的に移動を可能とする図示しない移動装置に装着されており、その先端には集光レンズが取り付けられ、照射器本体から発せられたレーザ光を前記集光レンズを通して集光させ、半導体ウェハ 35 の表面にスポット的に照射できるようにしてある。そして半導体ウェハ 35 の表面にレーザ光 33 B を照射しながらレーザ照射器 33 C を境界線 33 A に沿って移動させると、レーザ光 33 B が照射された半導体ウェハ 35 の部分は、周囲に伝熱することなく照射場所の温度が上昇していく。そして照射場所の周囲との温度差が大きくなると熱的ストレスが半導体ウェハ 35 に加わり、レーザ光 33 B の照射移動方向に追従するように亀裂が生じ、当該亀裂により切断用溝部 35 A が形成される。なお切断用溝部 35 A における切断とは、いわゆる割れによって対象物が切り離されることを意味しており、本実施の形態においては、レーザ照射による亀裂によって切り離された半導体ウェハ 35 の状態を指している。そしてこの切断用溝部 35 A の形態を図 4（2）に示す。このようにレーザ光 33 B を照射させながら半導体ウェハ 35 の表面を移動させれば、レーザ光 33 B の後にクラ

ック（亀裂）の形態となる切断用溝部 35 A が形成されるので、レーザ照射器 33 C の自在な移動により半導体チップ 12 を任意の形状にすることができる。なお本実施の形態においては、切断用溝部 35 A をレーザ光 33 B の照射により形成したが、この形態に限定されることなく、例えばこのレーザ光 33 B の出力や発振波長およびビーム径などを変更することでレーザ光 33 B の性質を変更する。そして当該レーザ光 33 B を半導体ウェハ 35 の表面に照射することで当該半導体ウェハ 35 の表面を昇華させ（すなわち半導体ウェハ 35 を構成する Si を昇華させ、照射部分の除去を行う。いわゆる通常のレーザ照射。）、レーザ光 33 B が照射された半導体ウェハ 35 の表面に溝部を形成するようにしてもよい。

【0031】またエッチングにより切断用溝部 35 A を形成するようにしてもよく、この場合もマスクパターンのレイアウトにより切断用溝部 35 A を自在に形成することができ、半導体チップ 12 を任意の形状（正三角形、正方形、正六角形、その他形状）にすることができるのはいうまでもない。

【0032】そして図 2（2）に示すように、上記手段により切断用溝部 35 A を形成した後は、同図（3）に示すように、半導体ウェハ 35 の上面、すなわち半導体チップ 12 の能動面側より、粘着シート 35 B を貼り付ける。なお当該粘着シート 35 B は、半導体ウェハ 35 の背面側をラッピングし、半導体チップ 12 が個片になった際、当該半導体チップ 12 が飛散するのを防止するのを主たる目的としているが、その他にも半導体ウェハ 35 の上面、すなわち半導体チップ 12 の能動面側の保護を行うようにしている。なお本実施の形態においては、半導体ウェハ 35 の表面に貼り付ける対象物を粘着シート 35 B としたが、上記目的（半導体チップ 12 の飛散防止、半導体ウェハ 35 の上面の保護）を達成することが可能であれば他のシート部材を用いてもよく、例えば紫外線硬化性接着剤が片面に塗布された紫外線硬化シートを用いるようにしてもよい。

【0033】こうして半導体ウェハ 35 の上面に、粘着シート 35 B を貼り付けた後は、同図（4）に示すように半導体ウェハ 35 の背面側をラップ定盤 35 C の研磨面上に置き、アルミナあるいはシリコンカーバイト砥粒とグリセリンの混合物であるラップ液をラップ定盤 35 C と半導体ウェハ 35 の背面側との間に流し込んで加圧下で矢印 35 D に示すように回転、摺り合わせ、切断用溝部 35 A の底部に達するまで半導体ウェハ 35 の背面側の研削を行う。

【0034】そして図 3（1）に示すように切断用溝部 35 A の底部に達するまで半導体ウェハ 35 の背面側の研削を行った後は、粘着シート 35 B から個片となった半導体チップ 12 の取り出しを行う。

【0035】半導体チップ 12 を粘着シート 35 B から取り出した後、当該半導体チップ 12 における側面 18

の上側に後述する接続用パッドの数に相当するだけの溝部 26 を形成する。なお溝部 26 の形成方法は、エッチングを用いるようにしてもよい。そして当該溝部 26 を形成し、その上に絶縁膜を形成した後、半導体チップ 12 の表面に絶縁層 14 を介して金属配線 16 を形成する。この状態を同図 (2) に示す。なお同図 (2) に示すように金属配線 16 を形成するには、絶縁膜 14 の上面にアルミまたはアルミ合金からなる金属膜をスパッタなどにより堆積させ、この金属膜をエッチングして絶縁層 14 上に金属配線 16 を形成する。

【0036】このように金属配線 16 は、その端面が半導体チップ 12 の側面 18 に露出した形態となっており、その後は、同図 (3) に示すようにこの側面に金属配線 16 の端面を含むようスパッタ等によって金属膜を形成し、その後スプレー式のレジストの塗布、エッチングを行い金属下地 22 を形成し、当該金属下地 22 の表面にメッキを施すことで接続用パッド 20 を形成する。このような手順を得れば、半導体チップ 12 の側面 18 に接続用パッド 20 を形成することができ、半導体チップ 12 同士を突き合わせた半導体装置 10 を製作することが可能となる。なお突き合わされる半導体チップ 12 は、同一物であっても異種のものであっても構わないことはいふまでもない。さらに図 1～図 3 においては傾斜面を溝部 26 として説明を行ったが、この形態に限定されることもなく、溝部 26 を構成する側壁部分を取り外して傾斜面とし、この傾斜面上に金属配線 16 を形成するようにしてもよい。また図 1 においては単一の側面 18 のみに接続用パッド 20 を設けた形態であったが、実際には、突き合わせ面となる側面 18 に同様の接続用パッド 20 が形成された形態となっている。また半導体チップ 12 において基板 30 とワイヤ 31 を介して接続をなす側面 18 については、接続用パッド 20 の代わりに能動面に接続用パッド (図示せず) が形成されることはいふまでもない。

【0037】図 5 は、第 2 の実施の形態に係る半導体装置に用いられる半導体チップの側面形状を示す斜視図である。同図に示すように、第 2 の実施の形態においては、第 1 の実施の形態で用いた溝部 26 に代えて貫通穴を適用した状態である。なお第 2 の実施の形態において第 1 の実施の形態と共通である箇所は同一の番号を用いて説明を行う。

【0038】第 2 の実施の形態となる正六角形からなる半導体チップ 12 では、絶縁膜 14 の表面上に形成された金属配線 16 と、側面 18 に形成された接続用パッド 20 との間を貫通穴 34 で結ぶとともに、当該貫通穴 32 の内側 (内壁面) に金属を蒸着させた形態となっており、この蒸着面にて金属配線 16 と接続用パッド 20 との導通を図るようにしている。このように貫通穴 34 を用いて金属配線 16 と接続用パッド 20 との導通を図るようにすれば、第 1 の実施の形態と同様に、側面 18 に

接続用パッド 20 が形成された半導体チップ 12 を形成することができ、これら半導体チップ 20 同士を突き合わせるだけで両者間の信号の入出力を行うことができる。

【0039】図 6 は、第 2 の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。なお第 2 の実施の形態におけるベレタイズ工程は、第 1 の実施の形態で説明した図 2 (1)～図 2 (4) と同様であるので、ここではその説明を省略する。

10 【0040】図 6 (1) に示すように切断用溝部 35 A の底部に達するまで半導体ウェハ 35 の背面側の研削を行った後は、粘着シート 35 B から個片となった半導体チップ 12 の取り出しを行う。

【0041】そして半導体チップ 12 の取り出しを行った後は、その側面 18 に、スパッタ等によって金属膜を形成し、その後スプレー式のレジストの塗布、エッチングを行い金属下地 22 を形成し、当該金属下地 22 の表面にメッキを施すことで接続用パッド 20 を形成する。当該接続用パッド 20 を形成した後の形状を図 6 (2) に示す。

【0042】そして金属配線 16 と接続用パッド 20 とを形成した後は、同図 (3) に示すようにレーザ加工により金属配線 16 と接続用パッド 20 とを貫通するように貫通穴 34 を形成する。そして半導体チップ 12 に貫通穴 34 を形成し、当該半導体チップ 12 の内壁面のみ図示しない絶縁膜を形成した後は、同図 (4) に示すように貫通穴 34 の内壁面に銅やアルミを蒸着 (図中、ハッチング部分) させ、この蒸着により金属配線 16 と接続用パッド 20 との導通を図るようにしている。

30 【0043】なお貫通穴 34 を用いた方法では、半導体チップ 12 に対して角度を自在に設定できるので、金属配線 16 の引き出し位置や、接続用パッド 20 の位置が変動しても確実に双方を結んだ貫通穴 34 を形成させることができる。

【0044】このような手順を得れば、第 1 の実施の形態に用いられた半導体チップ 12 と同様、当該半導体チップ 12 の側面 18 に接続用パッド 20 を形成することができ、半導体チップ 12 同士を突き合わせた半導体装置 10 を製作することが可能となる。なお突き合わされる半導体チップ 12 は、同一物であっても異種のものであっても構わないことはいふまでもない。

40 【0045】図 7 は、第 3 の実施の形態に係る半導体装置の側面形状を示した斜視図である。なお第 3 の実施の形態において第 1 の実施の形態と共通である箇所は同一の番号を用いて説明を行う。

【0046】同図に示すように、半導体チップ 12 の能動面 40 と側面 18 には、接続用パッド 20 が露出した形態となっており、前記側面 18 に露出した接続用パッド 20 を突き合わせることで半導体チップ 12 同士の接続を行うようにしている。

【0047】このように半導体チップ12の側面18に、接続用パッド20を露出させても第1の実施の形態と同様に、半導体チップ12同士を突き合わせるだけで両者間の信号の入出力を行うことが可能となる。

【0048】図8～図10は、第3の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。図8(1)に示すように、半導体チップ12の表面(すなわち能動面40)には絶縁膜14が形成されており、この絶縁膜14の下層には図示しないMOSトランジスタや抵抗、容量といった素子が形成してある。そしてこのように形成された半導体チップ12の絶縁膜14の上面にレジストパターン32をスピンコート、フォ

エッチングにより作成する。なおここでレジストパターン32はホール形状となっており、その大きさは、能動面40側に露出する接続用パッド20を一对突き合わせただけの範囲に設定される。

【0049】そしてこのレジストパターン32に沿って、ドライエッチングを施し、ホール42を形成した後、当該ホール42の表面および側面に絶縁膜を形成する。その後、CVDにより接続用パッド20となる銅またはタングステン44をホール42が埋まるまで堆積させ(同図(2))、その後、半導体チップ12の能動面40側にエッチバックを施し、ホール42以外の範囲に堆積された銅またはタングステン44を同図(3)に示すように除去する。

【0050】このようにホール42のみに銅またはタングステン44を残した後は、図9(1)に示すように絶縁膜14の表面に金属配線16を形成し、図示しない素子と接続用パッド20との導通を図るようにする。

【0051】そして同図(2)に示すように、複数の半導体チップ12の間(すなわち境界線33Aに沿って)をレーザ光を照射しながらレーザ照射器を走行させ、境界線33A上に切断用溝部35Aを形成し、その後は同図(3)に示すように、半導体ウェハ35の上面、すなわち半導体チップ12の能動面側より、粘着シート35Bを貼り付ける。

【0052】こうして半導体ウェハ35の上面に、粘着シート35Bを貼り付けた後は、同図10(1)に示すように半導体ウェハ35の背面側をラップ定盤35Cの研磨面上に置き、アルミナあるいはシリコンカーバイト砥粒とグリセリンの混合物であるラップ液をラップ定盤35Cと半導体ウェハ35の背面側との間に流し込んで加圧下で矢印35Dに示すように回転、摺り合わせ、切断用溝部35Aの底部に達するまで、すなわち同図

(2)の状態に達するまで半導体ウェハ35の背面側の研削を行う。

【0053】そして同図(3)に示すように切断用溝部35Aの底部に達するまで半導体ウェハ35の背面側の研削を行った後は、粘着シート35Bから個片となった半導体チップ12の取り出しを行う。このような製造工

程を得て形成された半導体チップ12は、能動面40と側面18に、接続用パッド20が露出している。このため前記側面18に露出した接続用パッド20を突き合わせることで半導体チップ12同士の接続を行うことができる。

【0054】

【発明の効果】以上説明したように請求項1に記載のベレタイズ方法によれば、半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、前記シート部材から前記半導体チップを取り出したことから、半導体チップの外形を様々な形状にすることができる。

【0055】また請求項6に記載の半導体装置の製造方法によれば、半導体ウェハに形成された複数の半導体チップの境界線に溝部を形成した後、前記半導体チップの能動面にシート部材を貼り付けるとともに、前記半導体ウェハの裏面側より当該半導体ウェハを削り、この削りが前記溝部の底面に達し前記半導体チップを個片とした後に、当該半導体チップの側面に接続用パッドを形成し、この接続用パッド同士を突き合わせるよう複数の前記半導体チップを基板上に搭載したことから、上記効果に加え、多数の半導体チップとの突き合わせ接続を行うことができる。

【0056】そして請求項7に記載の半導体装置によれば、基板上に複数の半導体チップを搭載した半導体装置であって、多角形からなる前記半導体チップの側面に形成された接続用パッドを互いに突き合わせ、前記基板上にて前記半導体チップ同士を直に接続したことから、多数の半導体チップとの突き合わせ接続を行うことができる。

【0057】なお本半導体装置を用いた実装用基板、および当該実装用基板を用いた電子機器においても同様の効果を得ることができるのはいうまでもない。

【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置に用いられる半導体チップの構造を示す説明図である。

【図2】第1の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

【図3】第1の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

【図4】同製作工程におけるベレタイズ工程を示す斜視図である。

【図5】第2の実施の形態に係る半導体装置に用いられる半導体チップの側面形状を示す斜視図である。

【図6】第2の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

【図7】第3の実施の形態に係る半導体装置の側面形状

13

を示した斜視図である。

【図 8】第 3 の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

【図 9】第 3 の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

【図 10】第 3 の実施の形態に係る半導体装置に用いられる半導体チップの製作工程図である。

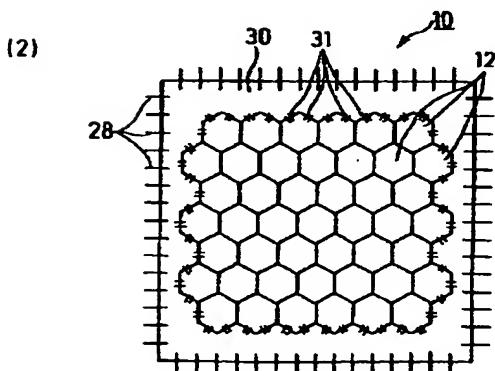
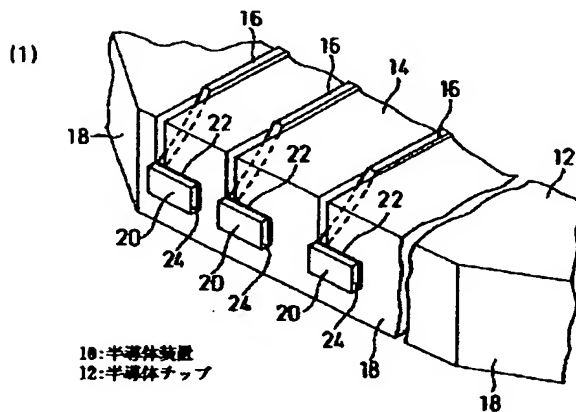
【図 11】従来の半導体装置 (MCP) の構造を示す断面説明図である。

【符号の説明】

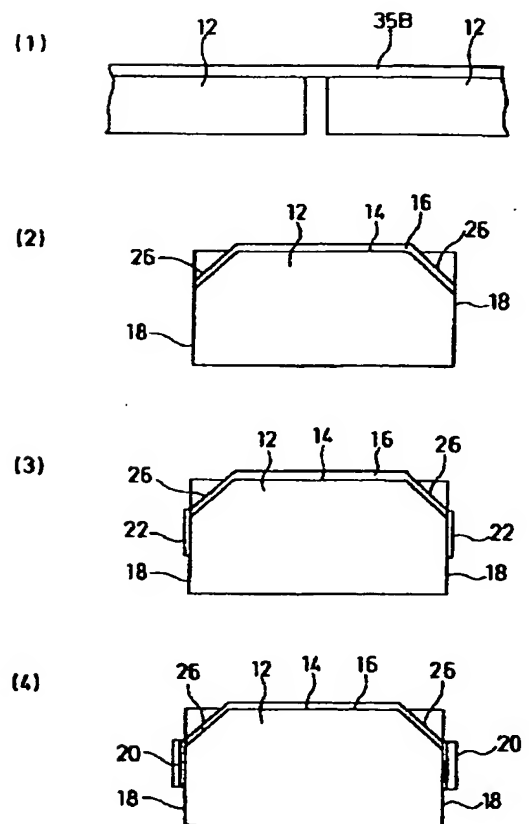
- 1 半導体装置
- 2 基板
- 3 実装面
- 4 A、4 B 半導体チップ
- 5 上面
- 6 ワイヤ
- 7 外部端子
- 10 半導体装置
- 12 半導体チップ
- 14 絶縁膜
- 16 金属配線
- 18 側面
- 20 接続用パッド

- 22 金属素地
- 24 メッキ地
- 26 溝部
- 28 外部端子
- 30 基板
- 31 ワイヤ
- 32 レジストパターン
- 33 A 境界線
- 33 B レーザ光
- 33 C レーザ照射器
- 34 貫通穴
- 35 半導体ウェハ
- 35 A 切断用溝部
- 35 B 粘着シート
- 35 C ラップ定盤
- 35 D 矢印
- 36 傾斜面
- 38 垂直面
- 40 能動面
- 42 ホール
- 44 銅またはタングステン
- 46 ダイシングライン

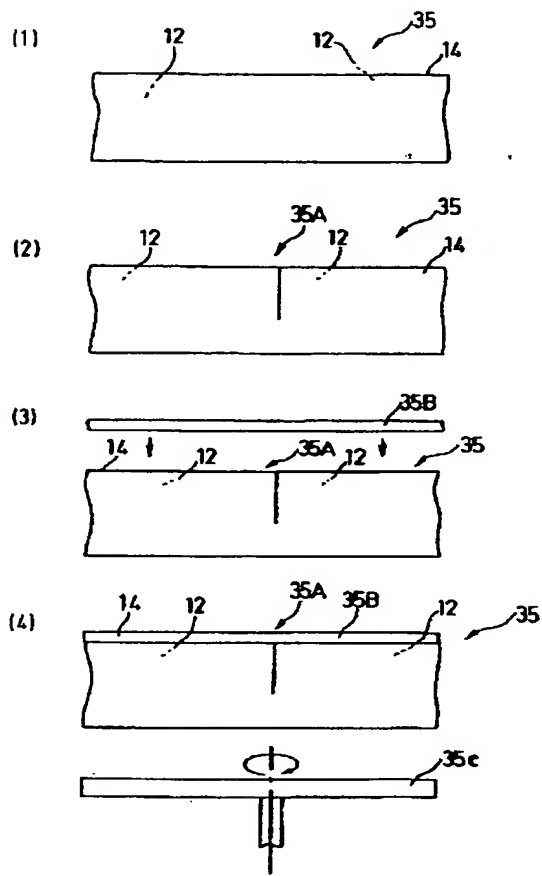
【図 1】



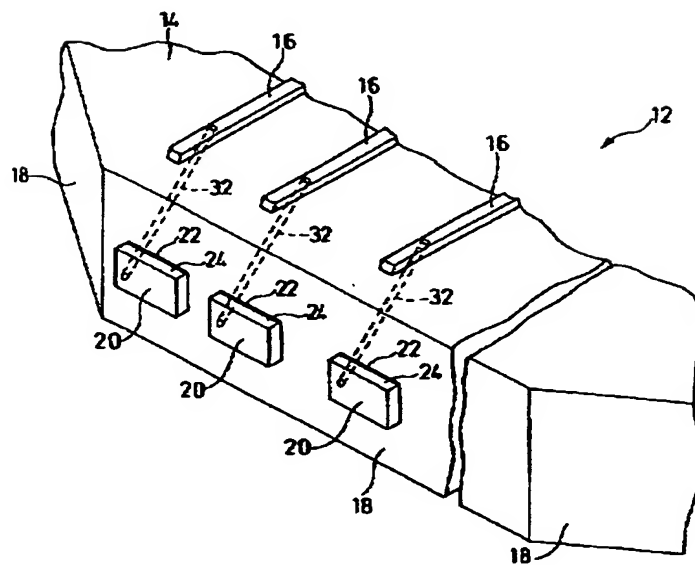
【図 3】



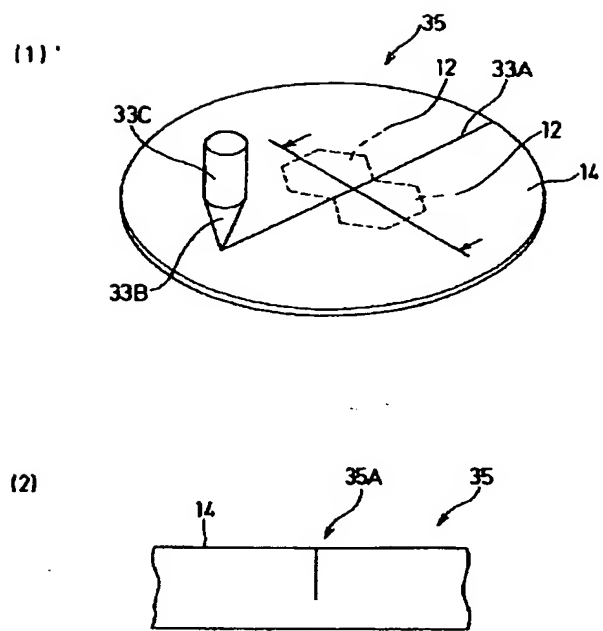
【図 2】



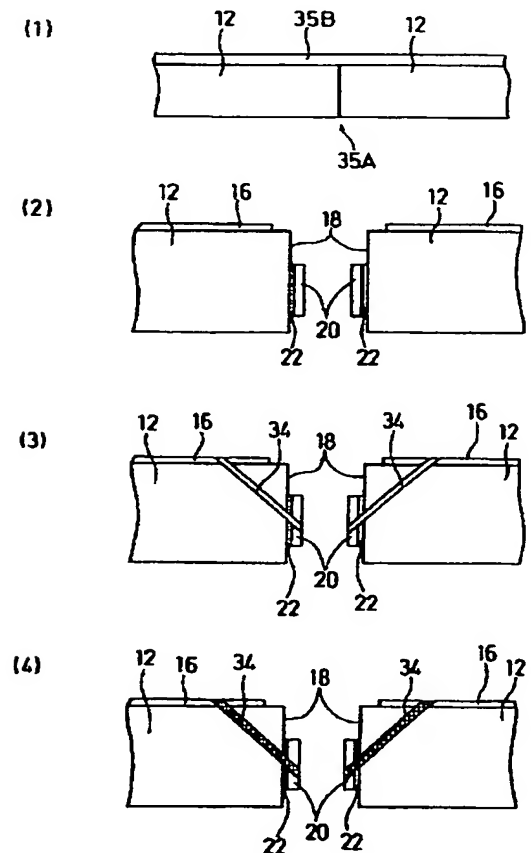
【図 5】



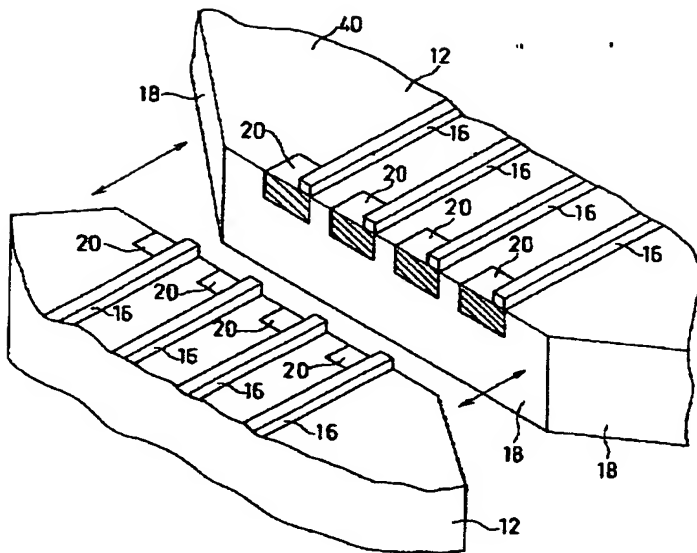
【図 4】



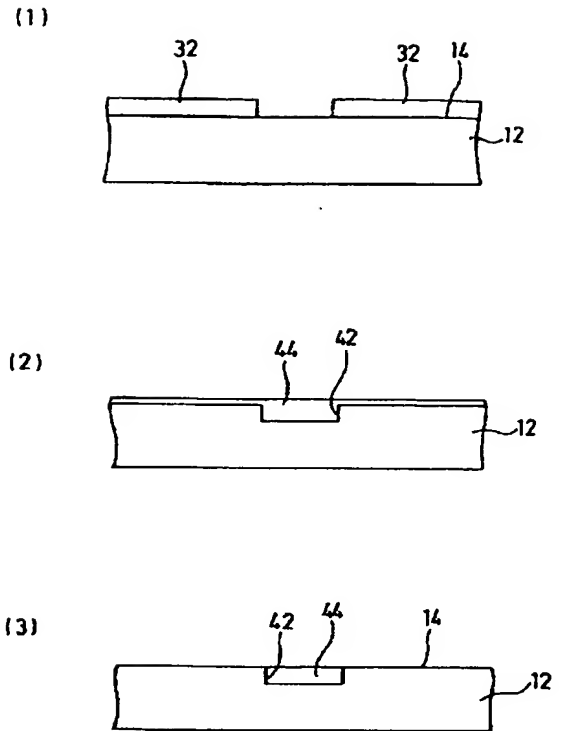
【図 6】



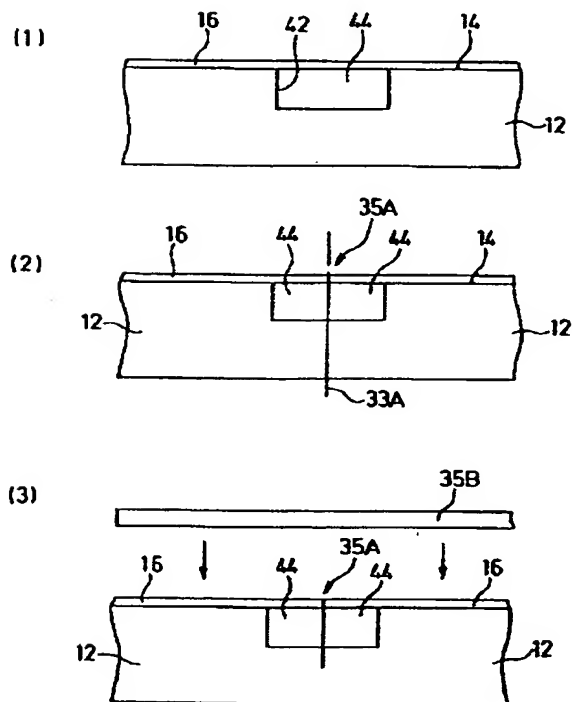
【図 7】



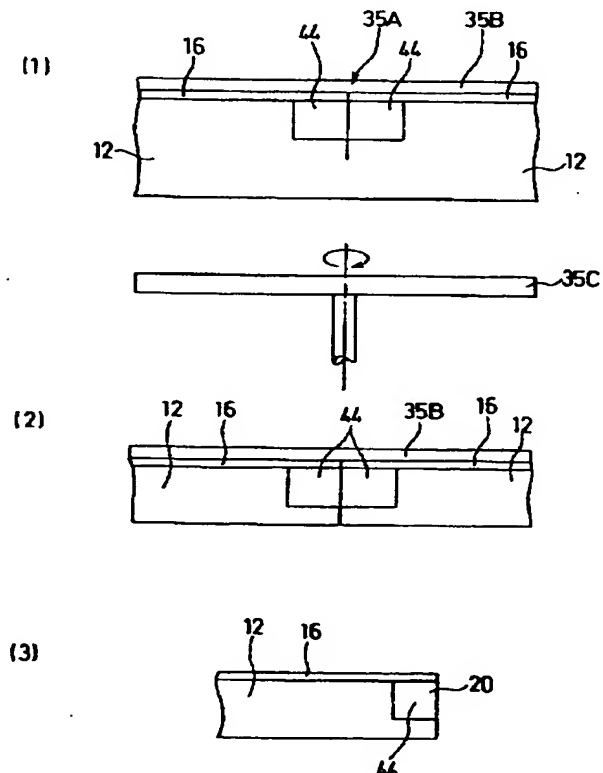
【図 8】



【図 9】



【図 10】



【図 11】

